



# 自適應偏壓與快速暫態響應之無外部電容線性穩壓器

組別：晶片系統組

學生：黃柏菘

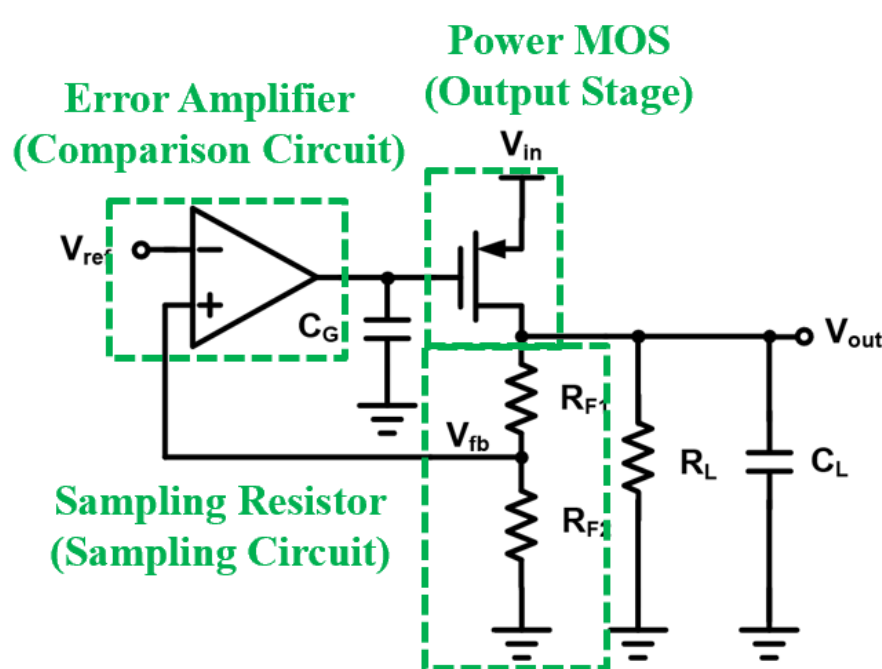
指導教授：葉經緯 教授、黃崇勛 教授

## 摘要

為了節省PCB板面積和IC Pin腳，設計無外部電容的Capacitor-Less Linear Regulator。自適應偏壓電路透過電流鏡偵測Power MOS電流，並提供誤差放大器額外的尾電流。重載時，尾電流加大，讓LDO有更大頻寬加速暫態響應。輕載時，自適應偏壓關閉，節省功率消耗。另外加上暫態響應加速器，此電路唯有在暫態響應時才會開啟，快速改變Power MOS閘極電壓，使暫態響應更快速。

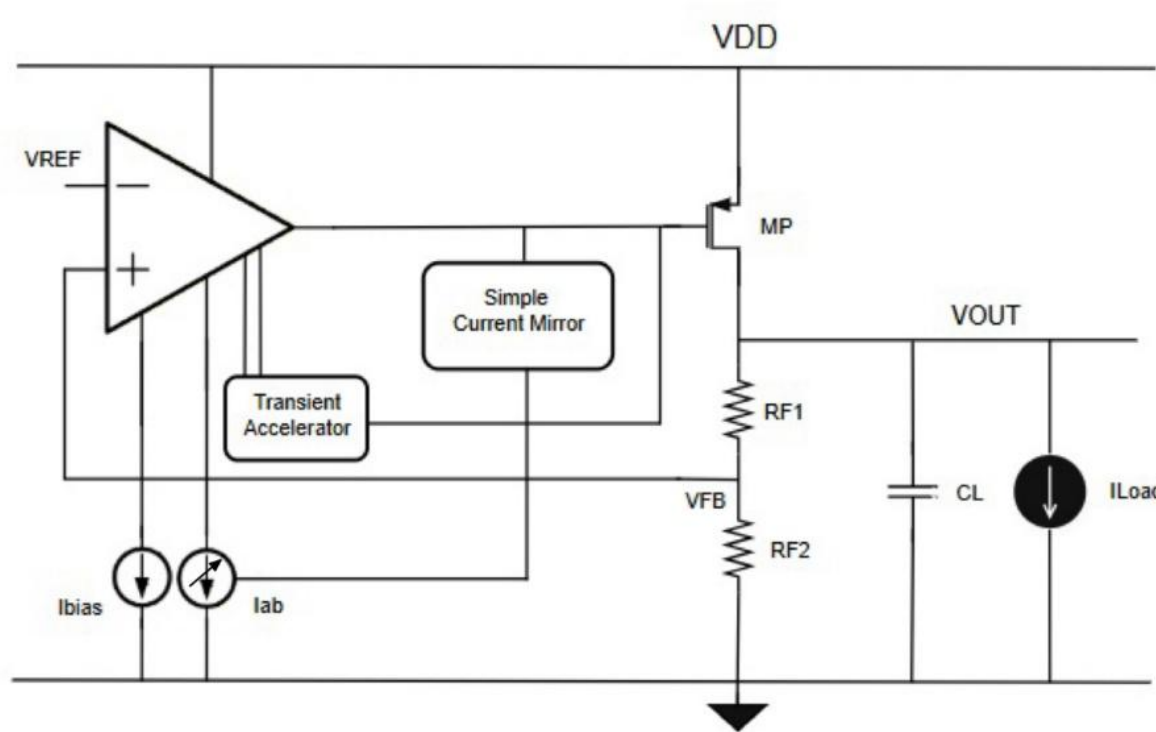
## 基本線性穩壓器功能描述

主要是由功率電晶體(Power MOSFET)，誤差放大器(Error Amplifier)與回授電阻網路組成。其工作原理為透過參考電壓( $V_{ref}$ )與回授電壓之間的差值去控制Power MOS的閘極端，進而控制Power MOS要提供多大的電流。若回授電壓( $V_{fb}$ )高於參考電壓( $V_{ref}$ )，代表 $V_{out}$ 的電壓高於穩態時的輸出電位，此時回授電壓與參考電壓( $V_{ref}$ )的電壓差值上升，Power MOS閘極端的電壓也會透過Error Amplifier而上升，如此Power MOS就會提供較少電流給輸出，並讓電壓回穩。

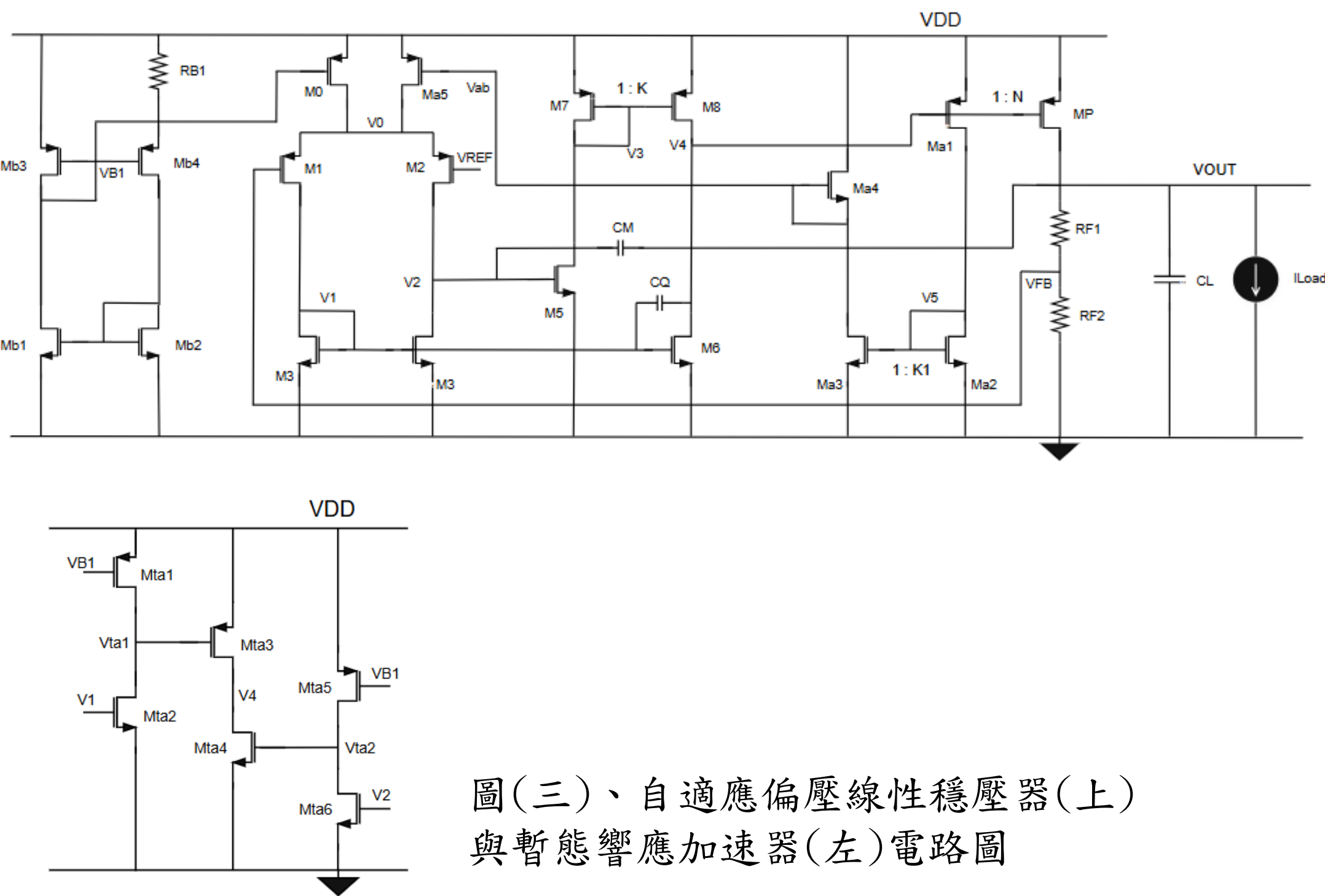


圖(一)、典型線性穩壓器的功能架構圖

## 電路介紹



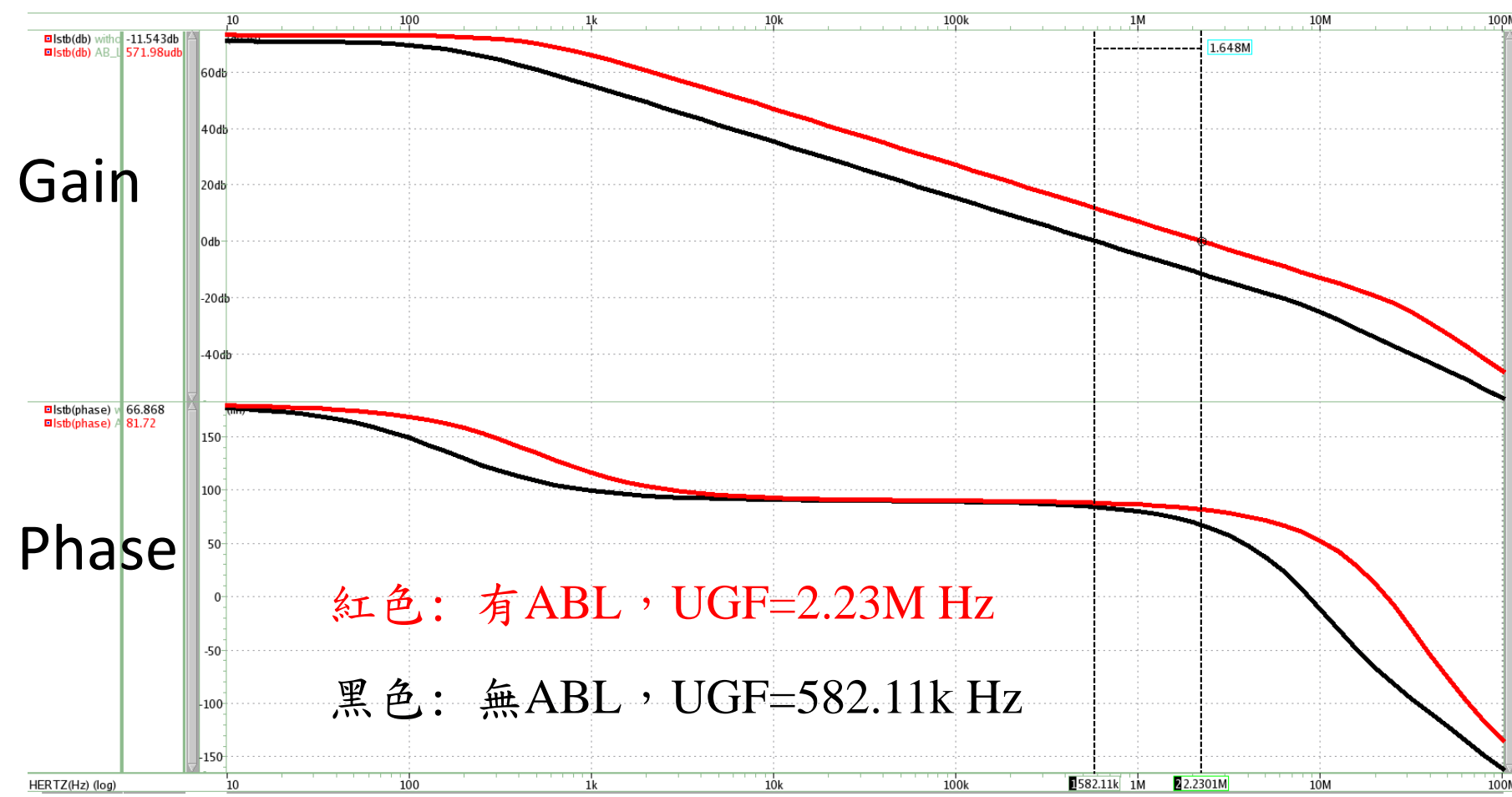
圖(二)、自適應偏壓與快速暫態響應之線性穩壓器電路架構圖



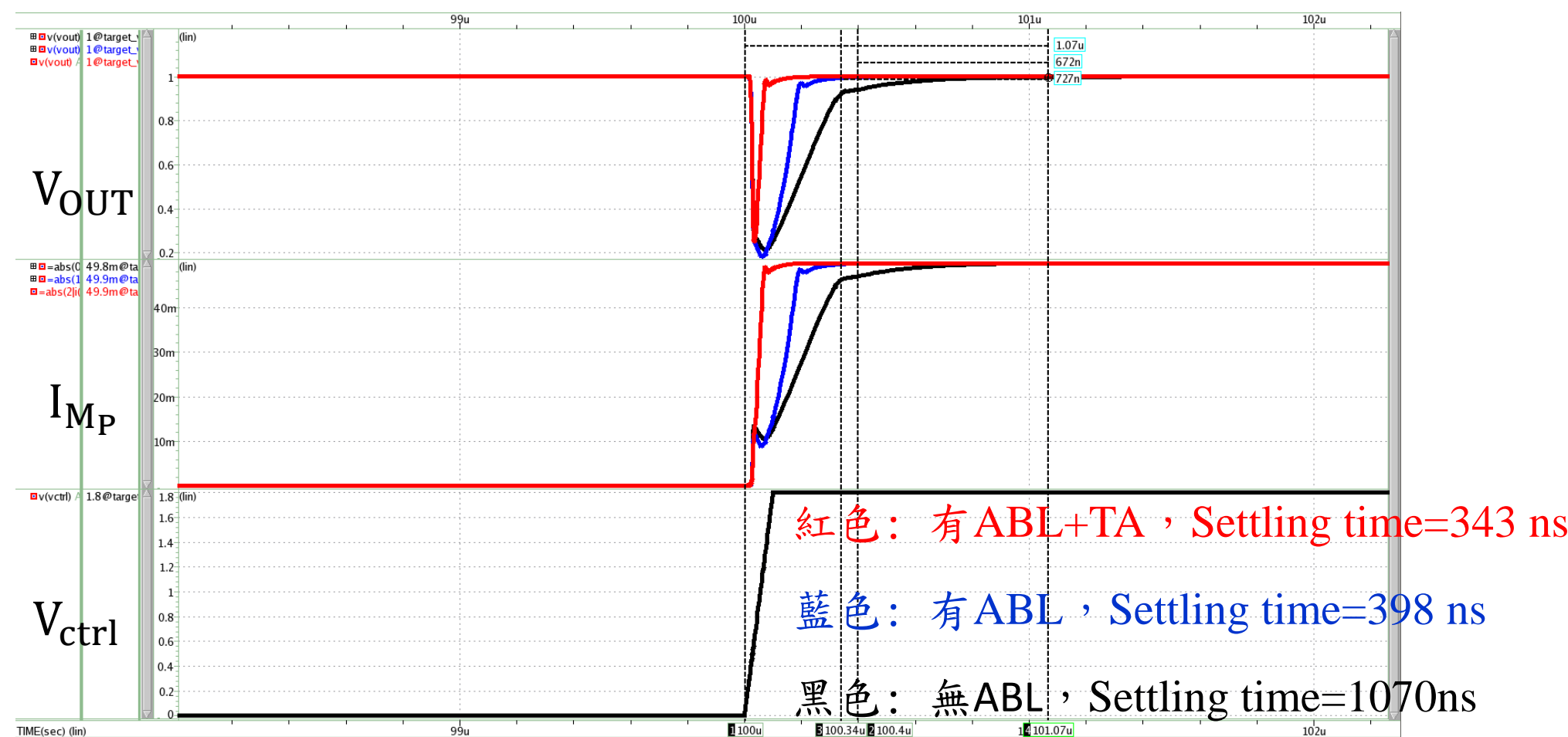
圖(三)、自適應偏壓線性穩壓器(上)與暫態響應加速器(左)電路圖

由圖(二)和圖(三)可知本電路由二級誤差放大器、偵測Power MOS電流大小的電流鏡、Power MOS、回授分壓電阻和暫態響應加速器所組成。

由圖(四)可知重載時，自適應偏壓可以加大線性穩壓器的頻寬，加快暫態響應速度。由圖(五)可知除了Adaptively Biased Loop可以加快暫態響應，暫態響應加速器可以進一步加快暫態響應。



圖(四)、有無ABL重載時波德圖頻寬比較



圖(五)、有無ABL與加上暫態響應加速器輕載轉重載時暫態響應比較

## 模擬結果

ABL+TA		
Specification (under worst case)	Heavy (50mA)	Light (100uA)
Vin	1.2 V ~ 1.8V	
Phase Margin	80.77°	76.85°
Gain Bandwidth product	2 MHz	772.87 KHz
Loop Gain	66.06 dB	68.82 dB
Power	91.16 mW	594.04uW
Line Regulation (heavy)	0.127 mV/V	
Line Transient overshoot/undershoot	Ov: 254.97 mV	Un: 326.06 mV
Load Regulation	0.0099 mV/mA	
Load Transient overshoot/undershoot	Ov: 396.4 mV	Un: 735.93 mV
PSR (@1k Hz)	-63.9 dB	-59.7dB
PSR (@10k Hz)	-48.5 dB	-39.8 dB
vout	1.0014 ~ 1.0015 V	1.0016 ~ 1.002 V

## 結論

本專題在基礎線性穩壓器的架構上結合自適應偏壓與暫態響應加速器改善無外部電容線性穩壓器的暫態響應速度。

透過Adaptively Biased LDO可以加大重載時的頻寬，提升重載時的暫態響應。在輕載的情況下ABL關閉節省功率消耗。

Transient Accelerator在暫態響應時快速改變Power MOS閘極電壓，使LDO的輸出電壓更快速回穩。

[1] C. Zhan and W.-H. Ki, "Output-Capacitor-Free Adaptively Biased Low-Dropout Regulator for System-on-Chips," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 5, pp. 1017–1028, May 2010

[2] C.-H. Huang, Y.-T. Ma, and W.-C. Liao, "Design of a Low-Voltage Low-Dropout Regulator," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 6, pp. 1308–1313, Jun. 2014