



應用於2.4GHz之整數型鎖相迴路

Design of an Integer-N Phase-Locked Loop for 2.4 GHz Applications

指導教授：吳建華 教授

專題生：李昱穎、朱家樑

摘要

本專題所設計的2.4GHz整數型鎖相迴路，主要應用為Wi-Fi與藍芽通訊之穩定，採用TSMC 0.18 μ m CMOS製程實現，包含相位頻率偵測器(PFD)、充電泵(CP)、迴路濾波器(LF)、壓控震盪器(VCO)和除頻器(FD)之子電路設計，其核心電路面積 368.88 μ m x 385.26 μ m，晶片面積為 738 μ m x 753 μ m，直流功耗為 3.55mW，相位雜訊在 1MHz處為 -85.6dBc/Hz，其中在功耗的部分有明顯的下降。

一、系統分析

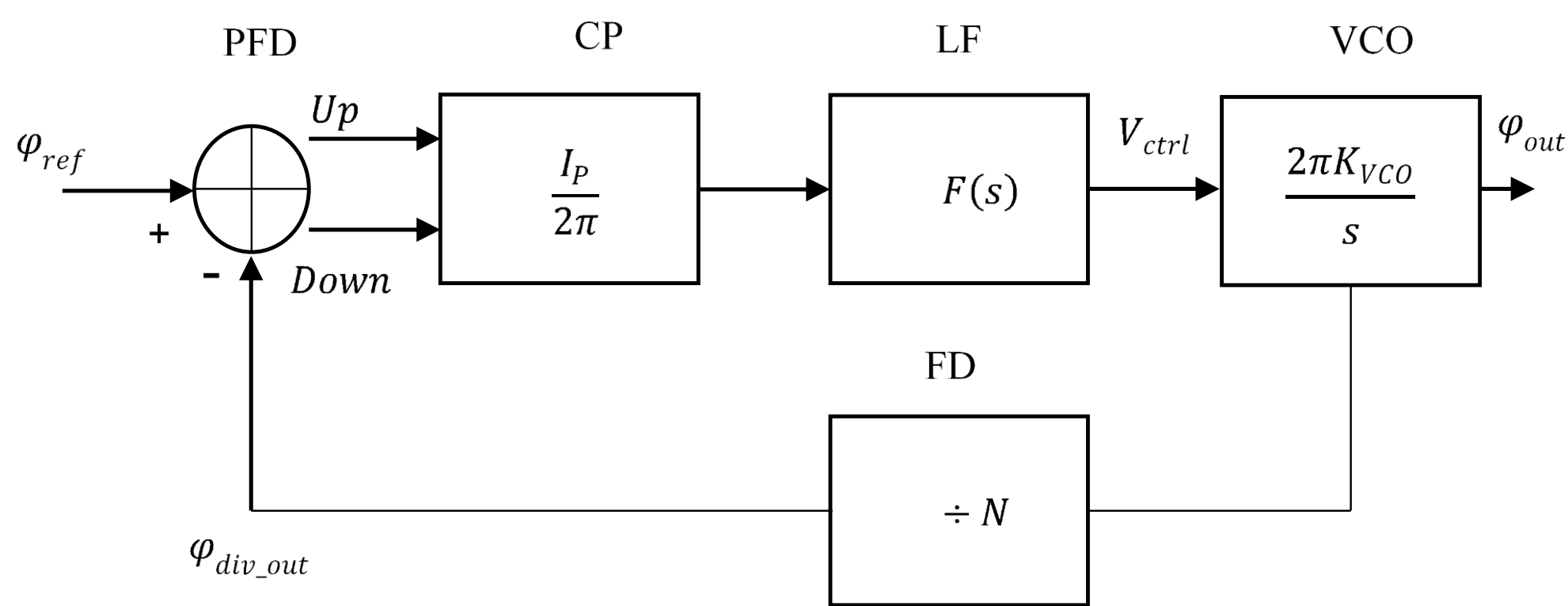


圖1 鎖相迴路之線性模型

利用線性系統來建立其迴路轉移函數，並加上 Phase margin、Phase noise 等因素，來決定系統的穩定、鎖定速度和訊號品質。

二、電路設計

1. PFD：為改善死區、面積和功耗問題，因此採用 Pre-charge type。
2. CP：將電流不匹配、電荷分享、時脈穿透和電荷注入進行改善，並將充放電流匹配至100 μ A。

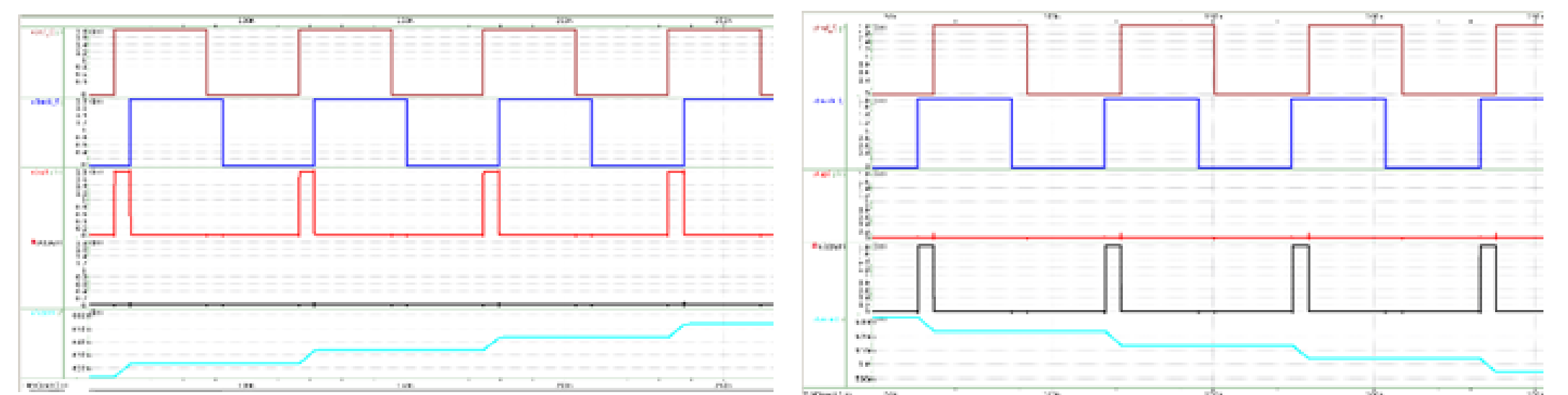


圖2-1 充電

圖2-2 放電

3. LP：採用二階低通路波器，根據訊號訊、系統穩定和鎖定速度進行 trade off。
4. VCO：採用 Current-starved ring VCO，除了有較大的諧調範圍外，比起 LC 具有較小的面積和功耗。

三、模擬結果

加上 I/O Pad 後，進行 Post layout simulation 和 PVT variation，確保電路可以在變異下能正常運作。

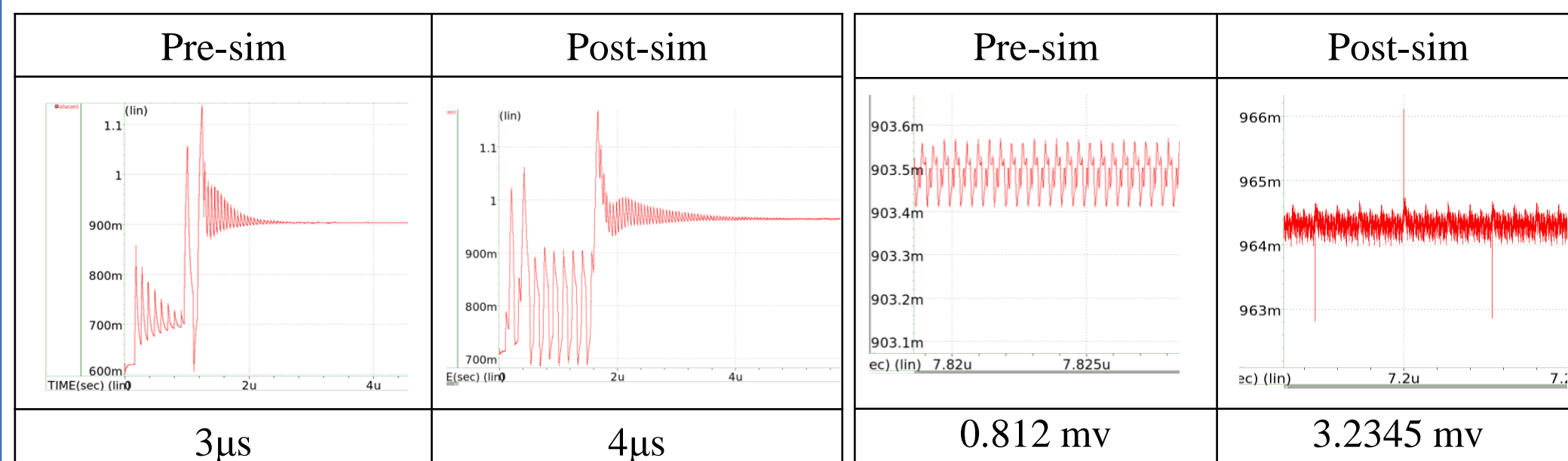


圖3-1 鎖定時間

圖3-2 電壓抖動

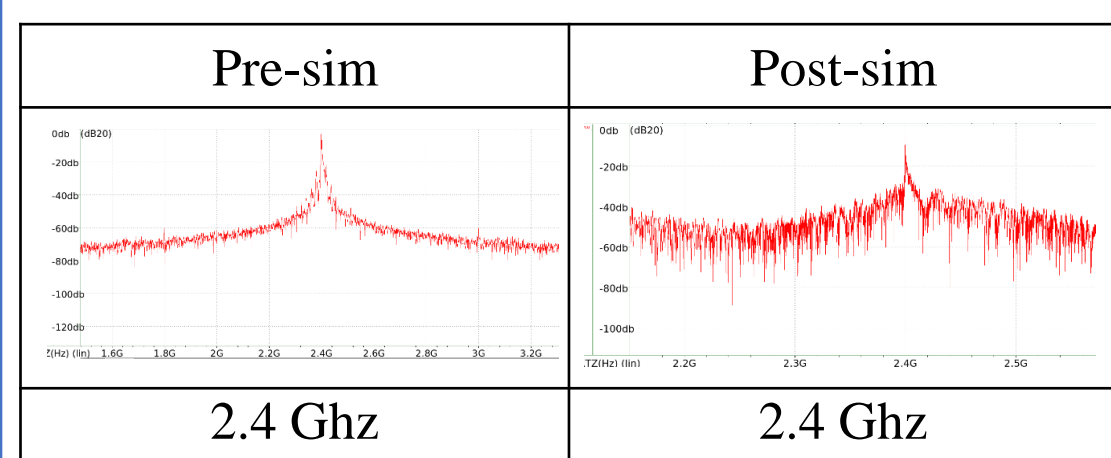


圖3-3 輸出頻譜

Corner	Power supply (V)	Temperature (°C)
TT	1.62	-25~100
	1.8	-25~100
	1.98	-25~100
SS	1.62	-25~50
	1.8	-25~75
FF	1.62	-25~100
	1.8	-25~100
	1.98	0~100

圖3-4 PVT variation

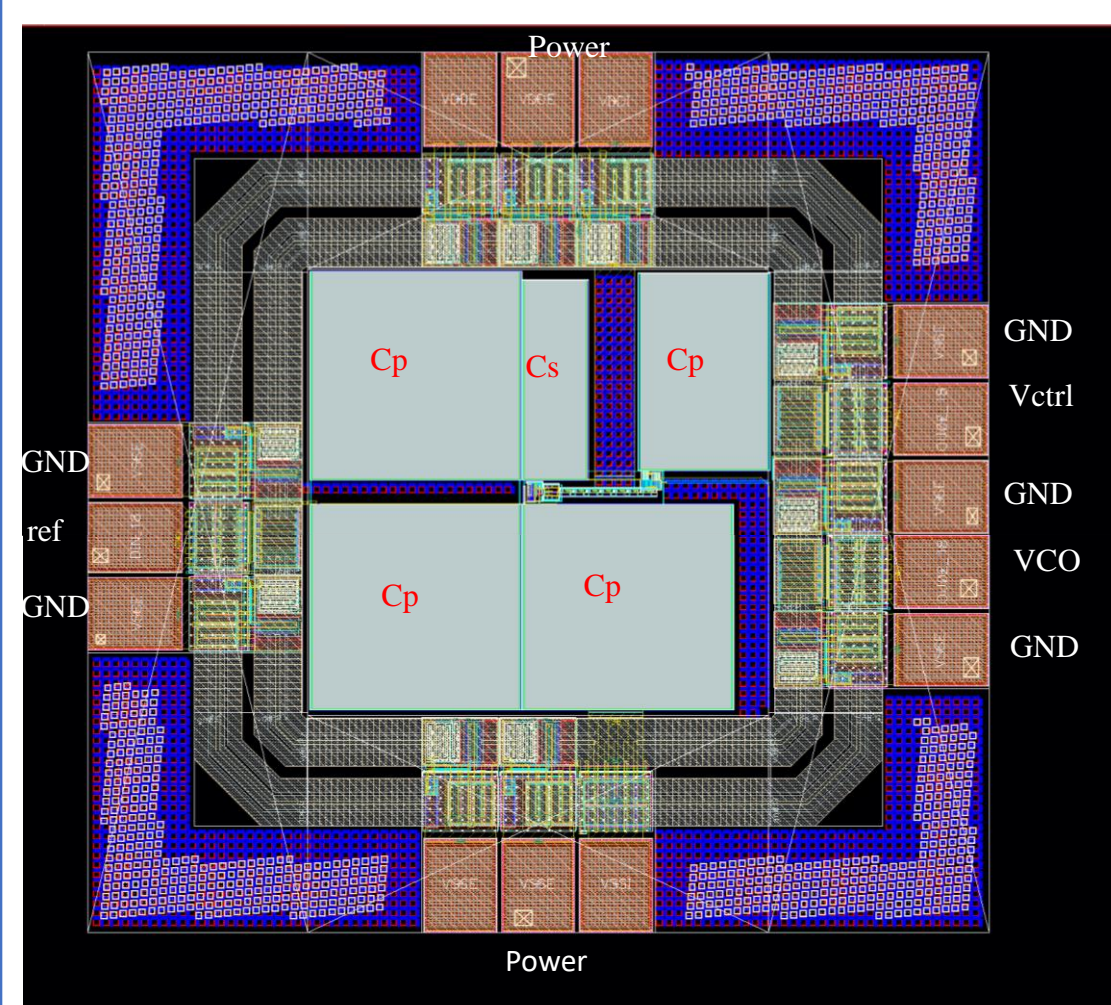


圖3-5 佈局圖

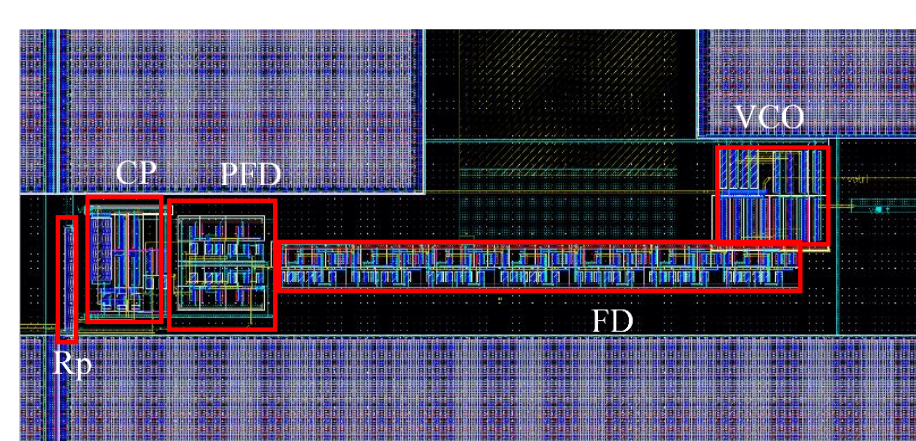


圖3-6 核心電路佈局圖

KVCO pre-sim 1.8V 25°C

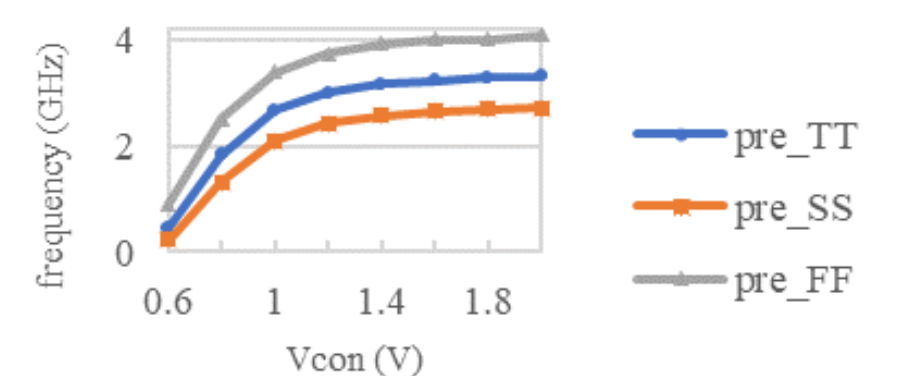


圖2-3 Pre-sim

KVCO post-sim 1.8V 25°C

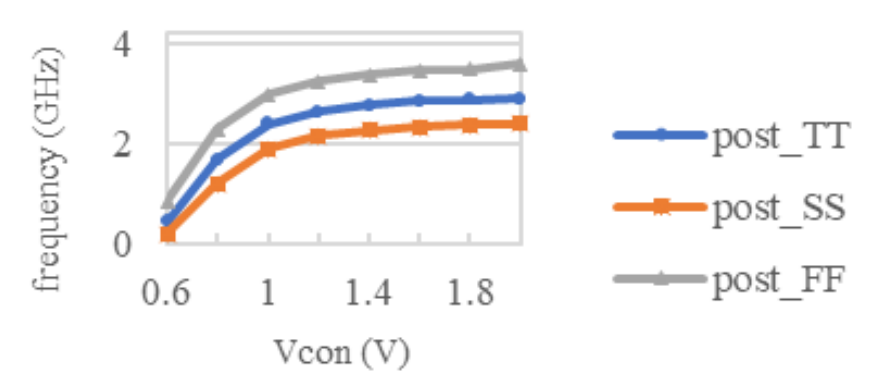


圖2-4 Post-sim

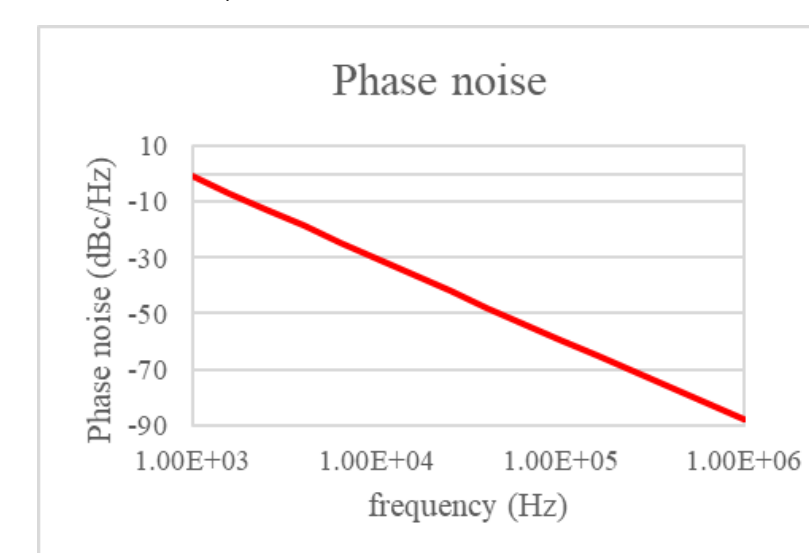


圖2-5 Phase noise

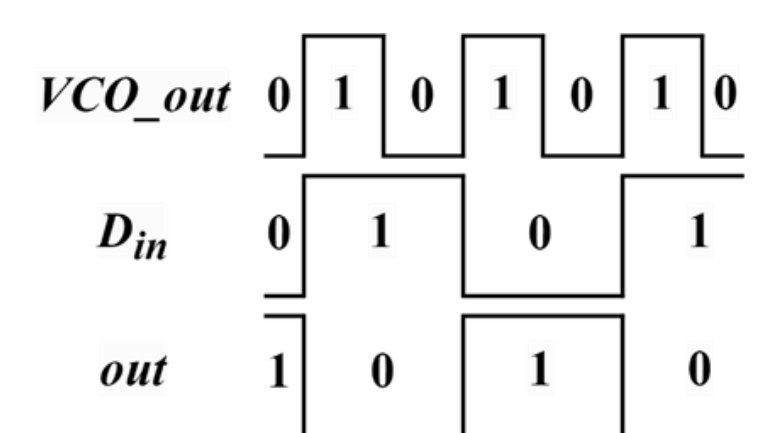


圖2-6 TSPC Divider

5. Divider：使用 TSPC 除頻器架構，將震盪器輸出的高頻訊號整波並降頻，以利 PFD 只需輸入低頻參考訊號。

四、結論

與其他同樣應用於 2.4GHz 之鎖相迴路相比，在功耗的部分有明顯的下降，對於如今追求低功耗和低雜訊之藍芽和 Wi-Fi 設備，提供了更好的穩定電路，以達到節能的效果。

五、參考文獻

Reference	APCCAS 2008[1]	ESSCC 2001[2]	BCSC 2007[3]	This work
Process	90nm	180nm	180nm	180nm
Supply Voltage (V)	1.2	1.8	1.8	1.8
Reference Frequency (GHz)	N/A	0.025	0.001	0.01875
Output Frequency (GHz)	2.4	2.4	2.4	2.4
Phase Noise (dBc/Hz)	-106	-116	N/A	-85.6
Power Consumption (mW)	5.1	20	4.86	3.55
Area (mm ²)	0.09	0.7	N/A	0.56

[1] J. Gines et al., "A 1.2V 5.14mW quadrature frequency synthesizer in 90nm CMOS technology for 2.4GHz ZigBee applications," APCCAS 2008 - 2008 IEEE Asia Pacific Conference on Circuits and Systems, Nov. 2008.
 [2] N. Da Dalt et al., "A fully integrated 2.4GHz LC-VCO frequency synthesizer with 3ps jitter in 0.18 μ m standard digital CMOS copper technology," Proceedings of the 27th European Solid-State Circuits Conference, Sep. 2001.
 [3] M. Vamshi Krishna et al., "A Low Power Fully Programmable 1MHz Resolution 2.4GHz CMOS PLL Frequency Synthesizer," 2007 IEEE Biomedical Circuits and Systems Conference, Nov. 2007.