



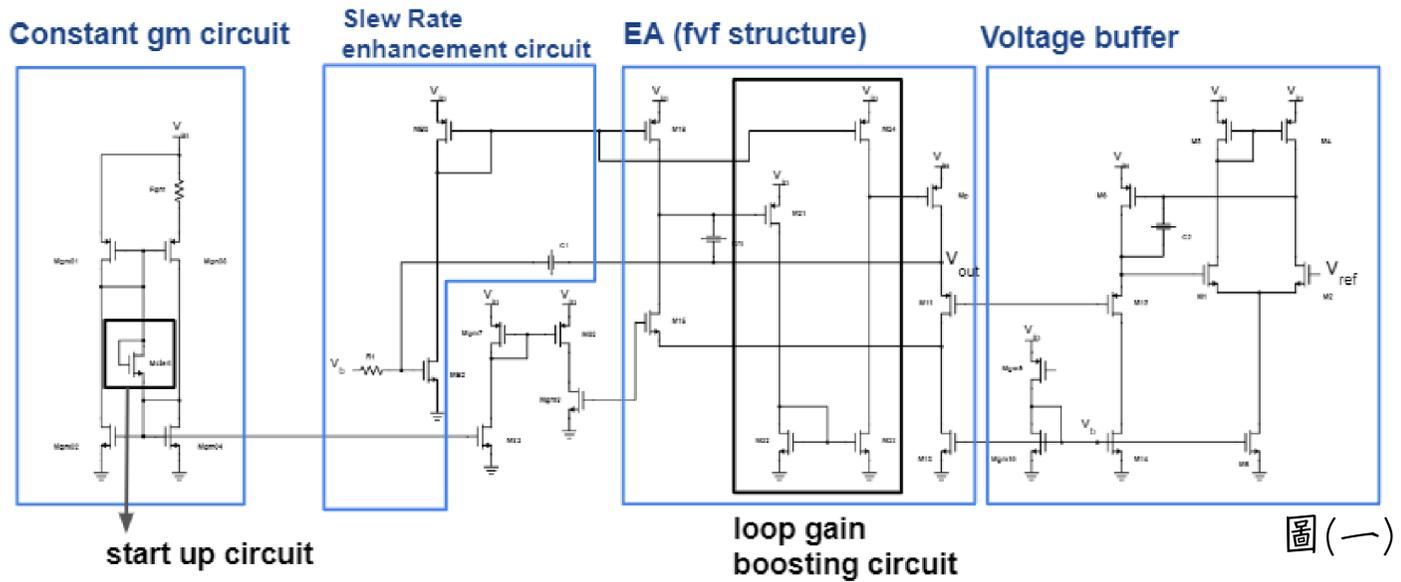
改善暫態響應之類比低壓降線性穩壓器

指導教授: 黃崇勛教授 學生: 楊婷羽

摘要

隨著可攜式電子產品的普及，低功耗需求日益重要，以延長其使用時間。本專題研究基於內部補償的三級放大線性穩壓器 (LDO)，在最低負載電流1mA、最高負載電流100mA、附載電容10pF、輸入電壓1.2V、輸出電壓1V的情況下，使用TSMC 90nm 製程，採用fvf (flipped voltage follower) 架構，加上Slew Rate enhancement 電路動態調節降低靜態電流，以達成低功耗的目標。

電路架構



電路架構說明

Constant gm circuit

使用MOS供給電流，以降低供電壓對電流的影響，透過電流鏡互相複製，達到自行偏壓，再加上下方電阻Rs，便能定義偏壓電流。另外加上start up circuit 避免電路處於穩態電流為0的情況。

Slew Rate enhancement circuit

透過電容偵測輸出端電壓，以動態調整偏壓電流，提升power MOS充放電能力，改善暫態響應。

Error Amplifier (flipped voltage follower structure)

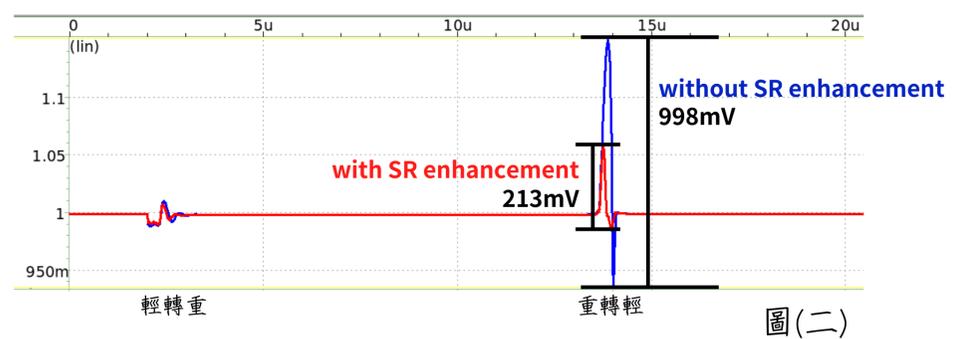
透過簡易的反向電壓跟隨器，加上loop gain boosting 架構加大EA增益，改善line & load regulation，提升電路的穩定性，使輸出電壓更加精確。

Voltage buffer

由負回授反向放大器組成，用於穩定電壓輸出，並產生偏壓電流，在電流鏡架構下使 $V_{out}=V_{ref}$ 。

模擬結果

透過SR enhancement circuit 降低輕重載轉換時的undershoot/overshoot voltage，改善暫態響應。



	PreSim 結果	PostSim 結果
PSRR(輕載;重載) @100k	-13.5 ; -13.3 dB	-13.5 ; -13.2 dB
Quiescent Current (輕載)	31.1 uA	33.3 uA
Line Regulation (輕載;重載)	10mV/V; 15mV/V	10mV/V ; 13mV/V
Load Regulation	6mV/A	8mV/A