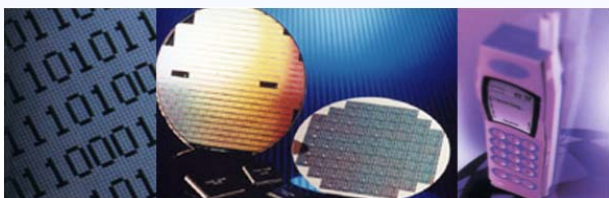


# Advanced Digital IC Design

## 高等積體電路設計

VLSI  
Technology



## 00. Syllabus (遠距教學課程)

Lecture: Dr. Ching-Che Chung 鍾菁哲

Dept. of CSIE, National Chung Cheng University,

EA406, No. 168, University Rd., Min-Hsiung, Chia-Yi, Taiwan,

Email: [wildwolf@cs.ccu.edu.tw](mailto:wildwolf@cs.ccu.edu.tw) ; URL: <https://www.cs.ccu.edu.tw>

# Course Outline (1/3)

- **Mixed Signal IC and PLL/DLL**
  - Introduction to Mixed-Signal IC Design Flow
  - Introduction to PLL/DLL
- **All-digital PLL Building Blocks**
  - Digital Controlled Oscillator (DCO)
  - Phase/Frequency Detector (PFD)
  - Frequency Divider
  - PLL Controller
  - Loop Filter
  - PLL Loop Simulation

# Course Outline (2/3)

- **All-digital DLL Building Blocks**
  - Digital Controlled Delay Line (DCDL)
  - Phase Detector (PD) and Time-to-Digital Converter (TDC)
  - DLL Controller and DLL Loop Simulation
  - Multi-phase Clock Generator
- **Digital Blocks Design**
  - Digital Modeling with Verilog
  - Digital Blocks Behavior Simulation with NC-Verilog/VCS

# Course Outline (3/3)

- **Analog Blocks Design**

- Circuit Simulation with HSPICE
- Fast-SPIICE Full-Chip Simulation with UltraSIM and PrimeSim XA

- **AMS Simulation Flow**

- Introduction to AMS Simulator (ADE-L) and Virtuoso Platform
- Prepare for AMS Simulation
- [ADE-L] and [VCS+ XA] AMS Simulation
- On-Chip Oscillators and Low-Voltage ADPLL
- 3D-IC Clock Synchronization and Duty-Cycle Correction

- **Final Project Announcement**

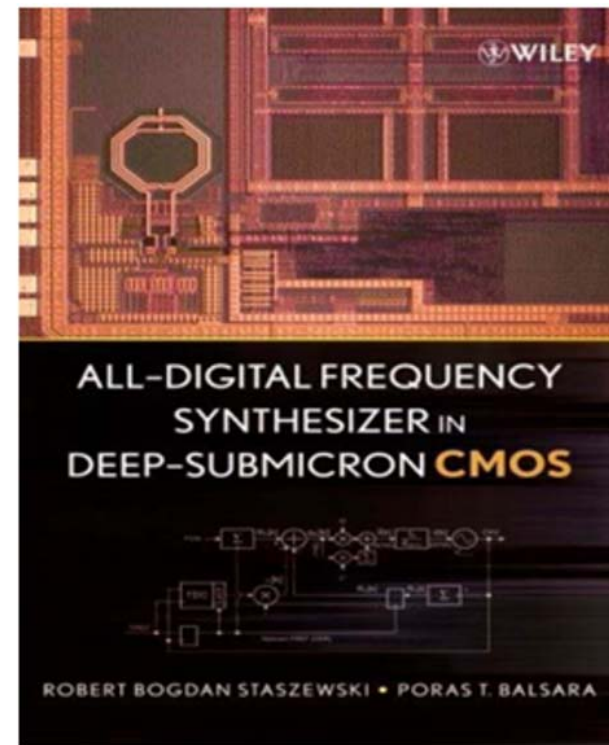
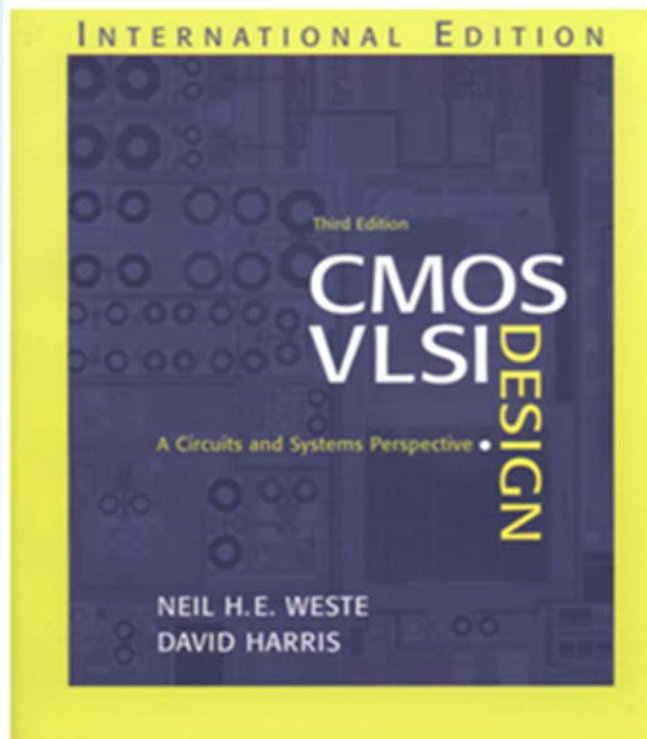
- Design an ADPLL

← **Final-Term**

← **Final-Project**

# Text Book

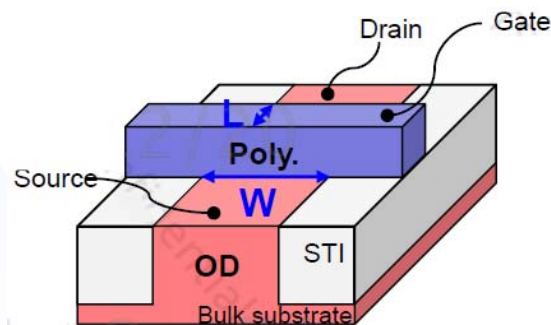
- "CMOS VLSI Design – A Circuits and Systems Perspective", Neil H.E. Weste, and David Harris, Third Edition, *Pearson*, 2005, ISBN: 0-321-26977-2.
- "All-Digital Frequency Synthesizer in Deep-Submicron CMOS" , *WILEY*, 2006, ISBN: 978-0-471-77255-2



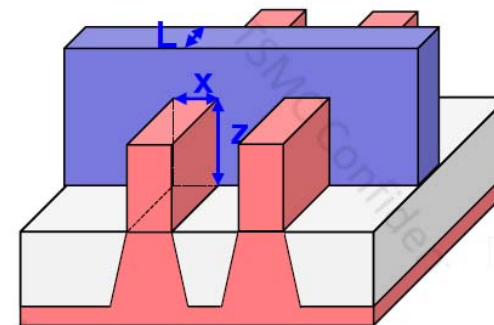
# Scoring Items

- On-line Labs: 22.5% (U18) + 22.5% (ADFP)
- Final-Term Exam: 25% (期末考筆試)
- Final Project: 15% (U18) + 15% (ADFP)

Note: TSMC N16 ADFP (Academic Design Foster Package) is a virtual FinFET process for education purpose.



**Planar**



**FinFET (2 Fin)**

# 上課進行方式

- 每週請同學按公告課程進度，聽完錄影檔
  - 每週二上課時段，同學可於線上會議室 (ZOOM) 跟老師線上討論課程內容。(需預約)
- 上機實作訓練，透過遠端桌面程式進行
  - 課程上到適當段落會有上機實作 LAB 讓同學練習，同學如果有LAB的疑問，可以跟助教約線上會議討論。
- Ecourse2 綜合討論區可以讓同學間互助回答問題
  - 老師與助教會盡快回答上面的問題，同學也歡迎主動回答其他同學的問題。

# 課程資源 (1/2)

- If you have questions, you can email to
  - [wildwolf@cs.ccu.edu.tw](mailto:wildwolf@cs.ccu.edu.tw)
- Discussion Forum
  - Announcement for ADIC course will post in Ecourse2.
  - LAB notes will also announce in Ecourse2.
  - You can post your problem in the discussion forum and search for help.

# 課程資源 (2/2)

## ● ZOOM (線上會議室)

- 為了完整使用線上會議室的功能，請使用電腦或筆電連線，並準備 **麥克風** 與 **攝影鏡頭** 與老師和助教對話。
- **不要使用 手機 或是 平版電腦(iPad) 連線。**
- ADIC ZOOM 會議室網址:
  - <https://us02web.zoom.us/j/82966572451?pwd=DvxBW5gyYqCJA2mTaaQ63hawDNhtod.1>
  - 使用者不需要註冊，直接點連結加入，姓名請填入 **學號+中文姓名**，方便老師和助教辨識。若出現彈出視窗提示您開啟或安裝 Zoom 桌面用戶端，按一下取消 (也可以安裝 Zoom APP)。
  - ZOOM 可以分享電腦桌面討論，也可以用麥克風直接對談。

# 如何修這門課？

## ● 課程目標：

- 讓學生了解到目前設計混合式訊號晶片面臨的挑戰與設計的技術
- 藉由實作的機會，讓學生學習到：
  - 1. 如何跑電路模擬(SPICE and Fast-SPICE)
  - 2. 如何將電路模擬結果建立 Verilog 模型
  - 3. 如何進行 SPICE + Verilog 的混合式訊號模擬

## ● 學習的方法：

- 按進度聽課，需要自己做筆記。
- 有疑問務必發問，只有確實了解上課講義內容與實作步驟，才能完整吸收課堂知識。
- 實作要自己做，做不出來就盡快找助教討論。

# 期末問卷評量標準

## ● 評量方法：

- 1. 完成本學期所安排的六次實作
- 2. 完成 Final Project
- 3. 本項核心能力達成率，自我檢視的標準請參照以下建議：
  - a. 當學生完成全部實作時與預期學期成績可達到 80 分以上者，屬於等級 5 的核心能力達成率。
  - b. 部分實作時與預期學期成績可達到 70 分以上者，屬於等級 4 的核心能力達成率。
  - c. 無法完成任一實作與預期學期成績可達到 60 分以上者，屬於等級 3 的核心能力達成率。
  - d. 無法完成任一實作與預期學期成績不及格者，屬於等級 2 的核心能力達成率。
  - e. 對本課堂教授的知識完成無法了解吸收，並預期學期成績不及格者，屬於等級 1 的核心能力達成率。

# QR code

- **You can download this slides by scanning QR code:**